

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-052052

(43)Date of publication of application : 23.03.1985

(51)Int.Cl.

H01L 27/08

H01L 21/20

H01L 21/84

(21)Application number : 58-159505

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.1983

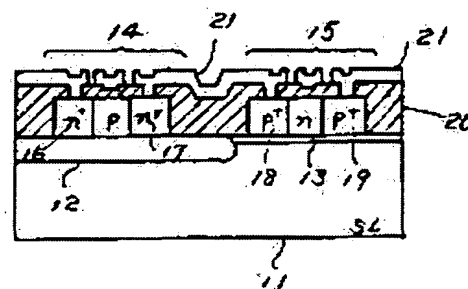
(72)Inventor : SAKURAI JUNJI

(54) CMOS SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To contrive improvement in operational characteristics of the titled semiconductor device by a method wherein the p-channel region of a complementary MIS device is formed on a spinel layer, and an n-channel region is formed on a silicon dioxide film, thereby enabling to have both compressive stress and tensile stress to come into action.

CONSTITUTION: A silicon dioxide layer 12 and a spinel layer 13 are selectively formed on a silicon substrate 11, an n-channel MOS14 is formed on the silicon dioxide layer 12, and a p-channel MOS15 is formed on the spinel layer 13. For example, a p type island is formed on an n-channel region which is the silicon dioxide layer 12, and n type source and drain regions 16 and 17 are formed by performing a phosphorus diffusion for formation of an n-channel. On the other hand, an n type epitaxial layer is formed on the spinel layer 13 which is a p-channel region, and p type source and drain regions 18 and 19 are formed by diffusing boron.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-52052

⑤ Int. Cl.⁴

H 01 L 27/08
21/20
21/84

識別記号

1 0 2

庁内整理番号

6655-5F
7739-5F
7739-5F

④ 公開 昭和60年(1985)3月23日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 CMOS半導体装置

⑯ 特 願 昭58-159505

⑰ 出 願 昭58(1983)8月31日

⑱ 発 明 者 桜 井 潤 治 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

CMOS半導体装置

2. 特許請求の範囲

少なくとも表面が絶縁物からなる基板上に形成され、相反する極性で対をなす相補型MISデバイスのpチャネル領域はスビネル層上に形成して圧縮応力が、nチャネル領域は二酸化シリコン層上に形成して引張り応力が働くようにしたことを特徴とするCMOS半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明はSOI(Silicon on Insulator)プロセスに係り、特に絶縁物基板上にCMOSを形成するデバイス構成に関する。

(b) 技術的背景

CMOSは反対の極性を持ったpチャネルとnチャネルを組合せ、相反するトランジスタを構成し回路機能を行なわせるもので、動作速度の高速性静止電力損失が低いため消費電力が少い等の利

点がある。このような回路構成上の利点に対して通常のMOSプロセス(バルク形CMOS)は複雑であり、特にnチャネル領域に対するpウェル(p-well)拡散がありこのpウェル拡散深さが大きい^不ためICチップの小型化が困難で、しかも低濃度p型不純物を精度よく拡散形成する必要がある。

これに対してSOI技術(CMOS/SOI)又はSOS技術(CMOS/SOS)によるスビネル結晶又は非単結晶(Al₂O₃, MgO)上にCMOSを構成するプロセスは前述したバルク形CMOSプロセスに比し有利であり大規模集積化に伴い時計用IC、メモリ、ロジック、マイクロコンピュータ等に応用されつつある。

(c) 従来技術と問題点

第1図、第2図は従来のCMOS半導体装置を示す断面図であり第1図はバルク形CMOS、第2図は二重エピタキシャル法によるCMOS/SOSの一例を示す図である。

第1図においてn形シリコン基板1に低濃度のp型不純物をドーピングしてpウェル拡散層2を設け、

更にゲート領域を再拡散してnチャネル領域3を形成する。対応する位置にpチャネル領域4を形成し電極配線5して回路構成する。図のようにp拡散領域の占有域が大きいため集積化に不利であり、また不純物拡散制御に問題がある。

第2図ではサファイヤ基板6にn型エピタキシャル層を形成してpチャネル領域7及びnチャネル領域8を形成し、それぞれのコンタクトホールに電極9を配線して回路構成する。このように絶縁物基板上にCMOS回路を構成する場合例えば石英ガラス基板上の多結晶シリコン(poly-si)をメルト処理して単結晶化するとシリコン中に引張り応力が生じ、電子移動度は増加し一方正孔移動度は引張り応力によって減少する全く逆の関係にある。

一方サファイヤ基板上のエピタキシャルシリコン層ではメルト処理によって圧縮応力が生じ電子移動度は減少し、正孔移動度は増大する。従って石英ガラス又はサファイヤ基板上にCMOS回路を形成するとpチャネル又はnチャネルMOS回

路何れかの動作特性が遅くなって全体としての高速性が失われる。

これによりnチャネルMOS回路は二酸化シリコン層(SiO_2)上に、pチャネルMOS回路はスピネル層($\text{Al}_2\text{O}_3\text{-MgO}$)上に形成して各々電子移動度、正孔移動度を歪によって増大させるデバイス構成により動作特性の高速化を計ることに留意したものである。

(d) 発明の目的

本発明は上記の点に鑑み、絶縁物基板上に形成する有効なCMOSデバイス構成を提供し、動作特性の向上を計ることを目的とする。

(e) 発明の構成

上記目的は本発明によれば少なくとも表面が絶縁物からなる基板上に形成され、相反する極性で対をなす相補型MISデバイスのpチャネル領域はスピネル層上に形成して圧縮応力が、nチャネル領域は二酸化シリコン層上に形成して引張り応力が働くようにしたことによって達せられる。

(f) 発明の実施例

- 3 -

以下本発明の実施例を図面により詳述する。

第3図は本発明の一実施例であるCMOS/SOIを示す断面図、第4図は本発明の他の実施例である多層構造のCMOS/SOSを示す断面図である。

第3図に示すようにシリコン基板11に二酸化シリコン層12及びスピネル層13を選択形成しこの二酸化シリコン層12にnチャネルMOS14をスピネル層13にpチャネルMOS15を形成する。例えばnチャネル領域即ち二酸化シリコン層12にp形アイランドを形成しnチャネル形成のためのりん(P)拡散してn形ソース、ドレイン領域16, 17を形成する。一方pチャネル領域とするスピネル層13にn形エピタキシャル層を形成しボロン拡散してp形ソース、ドレイン領域18, 19を形成する。絶縁層20に電極取り出し用の窓を開け、アルミニウム膜を蒸着し、パターニングしてコンタクト電極21を形成する。

このようなデバイス構成とすることにより、nチャネルでは電子の移動度が増大しpチャネルでは正孔の移動度を増加させることができ動作特性

- 4 -

の高速性(従来と対比して1.5~1.7倍)が期待できる。

第4図はサファイヤ基板22にCMOSデバイスを形成する実施例を示すもので、スピネル層上にpチャネルMOS23, 24の2素子を形成し絶縁層25(例えば SiO_2)を介して更にnチャネルMOS26, 27の2素子を積層して、各素子間を縦形配線により接続して二重構成のCMOS/SOSが得られる。このような構成とすることにより下層のpチャネルMOSでは正孔の移動度が増大し、nチャネルMOSでは電子移動度が増大するから高速性のある低電力スイッチ素子が得られる。

(g) 発明の効果

以上詳細に説明したように本発明に示すCMOS半導体装置とすることにより動作特性の高速化に効果がある。

4. 図面の簡単な説明

第1図、第2図は従来のCMOS半導体装置を示す断面図であり、第1図はバルク形CMOS、第2図は二重エピタキシャル法によるCMOS/SOS

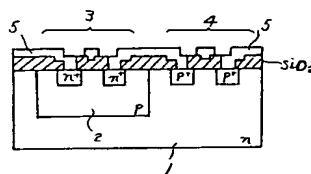
の一例を示す図、第3図は本発明の一実施例であるCMOS/SOIを示す断面図、第4図は本発明の他の実施例である多層構造のCMOS/SOSを示す断面図である。

図中11……シリコン基板、12……二酸化シリコン層 (SiO_2)、13……スピネル層、14, 26, 27……nチャネルMOS、15, 23, 24……pチャネルMOS、16, 17……n型ソース、ドレイン領域、18, 19……p型ソース、ドレイン領域、20, 25……絶縁層、21……コンタクト電極、22……サファイヤ基板。

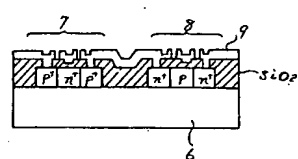
代理人 弁理士 松岡 宏四郎



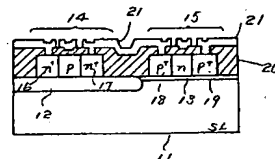
第1図



第2図



第3図



第4図

